

Универзитет у Београду
Електротехнички факултет



Дипломски рад

**Поређење уређаја за синхронизацију на
бази фазно затворених петљи код
трофазних мрежних инвертора**

Студент: Филип Бакић , 17/161

Ментор: др Слободан Вукосавић, редовни професор

Београд, септембар 2021.

Садржај

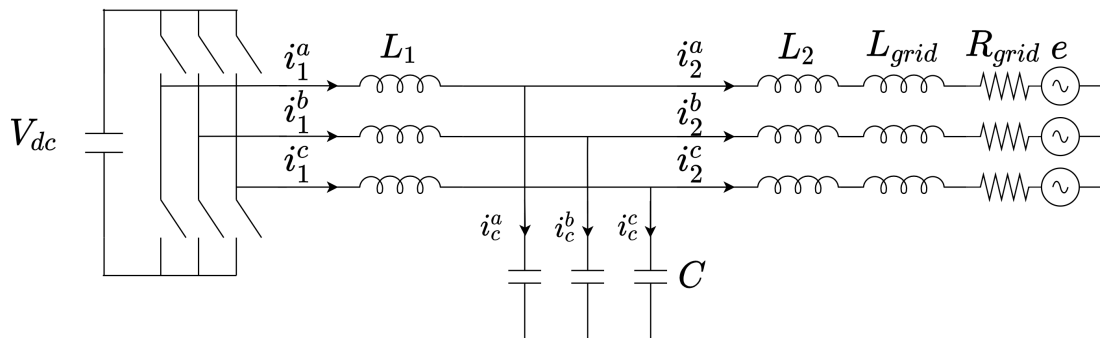
1	Увод	2
2	Мрежни инвертори	3
3	Пројектовање фазно спрегнутих петљи	4
3.1	<i>SRF-PLL</i>	5
3.2	<i>Lag-PLL</i>	8
3.3	<i>LPF-PLL</i>	9
3.4	<i>DSOGI-PLL</i>	12
4	Поређење пројектованих <i>PLL</i> система	17
4.1	Поређење <i>PLL</i> система у присуству виших хармоника	18
4.2	Поређење <i>PLL</i> система при неуравнотеженом напону мреже	19
4.3	Утицај наглих промена мрежне фреквенције	20
5	Закључак	22

1 Увод

Континуални пораст потрошње електричне енергије у свету доводи до изградње нових електрана, које се све чешће базирају на обновљивим изворима енергије. Најзаступљенији извори из којих се данас производи електрична енергија су угаљ, земни гас, вода и нуклеарна енергија. Међутим, у последње време све је већа количина енергије добијена из ветро и соларних електрана. Овоме је највише допринела жеља за коришћењем оних ресурса који неће загађивати животну средину. У ту сврху донете су многоброје регулативе и циљеви које је потребно остварити. Такође, стални пад цене опреме потребне за изградњу ових постројења је довео до већег интересовања за ове видове производње електричне енергије постижући брже остваривање исплативости инвестиције и већег профита. Већина данашње производње одвија се у електранама које су географски удаљене од потрошача како би се смањила штетност и ризик од загађења које неке од електрана производе. Да би се смањили губици и цена производње данас доминирају велика постројења за производњу из којих се путем високо напонске мреже енергија преноси до крајњих корисника где је тај високи напон потребно претварати у ниски напон у оквиру разводних постројења. Све већа употреба обновљивих извора енергије доводи нову проблематику, као што је стабилности електроенергетског система. Наиме, производња електричне енергије из оваквих извора није континуална и зависи од низа фактора. Из тог разлога, потребно је одржавати сталну равнотежу између произведене и потрошене количине електричне енергије, у супротном, долази до промене фреквенције и/или напона у великој мери што изазива велику штету целом електроенергетском систему (ЕЕС) и лоше ефикасности из угла преноса електричне енергије кроз систем. Тренутно на ову равнотежу утиче релативно мали број великих генератора, док већина потрошача не учествује у овом процесу. Међутим, све већом употребом обновљивих извора енергије, пре свега сунца и ветра, долазимо у ситуацију где се на ЕЕС прикључује велики број релативно малих произвођача што представља нови изазов по питању очувања стабилности, поузданости и сигурности електричне мреже. Свакако све чешћа употреба ових извора енергије доноси и предности као што су мања зависност од увоза енергената потребних за производњу и мањи ризик од великих прекида у снабдевању електричном енергијом. Пошто је за повезивање на мрежу ових нових произвођача увек потребно претварање једносмерног (*DC*) напона у наизменични (*AC*), мрежни инвертори, њихов поуздан, ефикасан и стабилан рад на мрежи представљају есенцијалну компоненту у даљем развоју ЕЕС-а.

2 Мрежни инвертори

Инвертори су системи који једносмерне електричне величине, струје и напоне, претварају у наизменичне. По броју фазних прикључака могу бити монофазни, трофазни или вишефазни који се користе за покретање мотора. Од интереса за овај рад су трофазни инвертори који су са мрежом повезани преко филтра, који је најчешће L филтар или LCL филтар. Тенденције у модерној енергетској електроници су такве да се тежи производњи уређаја чије ће димензије бити што је могуће мање, односно уређаје који ће имати велику густину снаге. Из тог разлога за потребе даље анализе је изабран LCL филтар с обзиром да постиже исто слабљење жељених компонени спектра са хардверским компонентама значајно мање запремине [1].



Слика 1: Шема трофазног мрежног инвертора са LCL филтром

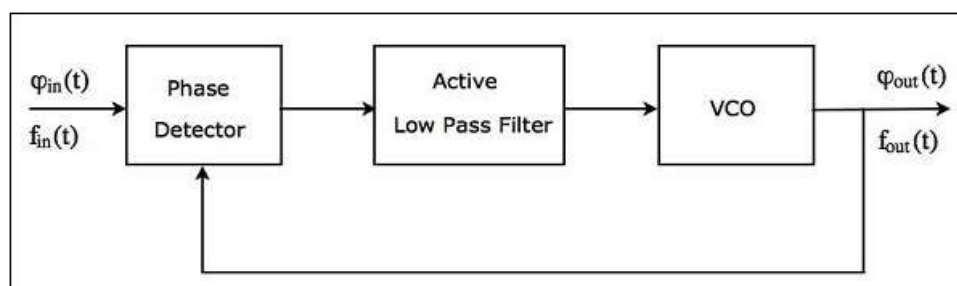
3 Пројектовање фазно спрегнутих петљи

За велики број стратегија управљања мрежних инвертора, познавање угла и фреквенције мрежног напона је од кључног значаја. Пошто се те методе заснивају на задавању референци у dq синхроноротирајућем систему за потребе неспрегнутог управљања, синхронизација са мрежом је есенцијална потреба сваког начина управљања мрежних инвертора. Ова тема је била интензивно истраживана. Предложени су бројни начини како би се дошло до брзе и прецизне синхронизације. Треба напоменути да мрежни напон, из ког се извлачи информација, није увек идеалан за естимацију ова два параметра. Највећи проблеми код трофазних система су неуравнотежени напон мреже, присуство виших хармоника у напону мреже, кварови на мрежи, фазни скокови напона. Фазно спрегнуте петље енг. *PLL (Phase Locked Loop)* представља најпопуларнију методу за синхронизацију инвертора на ЕЕС. У наставку ће бити приказане и анализиране следеће методе синхронизације:

1. *Synchroonus Refenrece Frame PLL - SRF PLLL*
2. *Lag-PLL*
3. *Low-pass filter -PLL-LPF-PLL*
4. *Dual Second Order Generalized Integrator-PLL-nn*

Основна структура свих *PLL*-ова састоји се из три целине приказане на Слици 2 :

- Детектор фазе : За трофазне системе прво је потребна трансформација напона u_{abc} из трофазног у два напона u_α и u_β у стационарном референтном систему што се врши Кларкином трансформацијом. Затим се на основу естимираног угла врши Паркова трансформација са циљем преласка у двофазни синхроноротирајући систем.
- Нископропусни филтар : Најчешће је заснован на *PI* контролеру за чији улаз се узима q -компонента напона док се на излазу добија угаона фреквенција мрежног напона. *PI* контролер има задатак да q -компоненту доведе на нулту вредност и да мрежни напон поклопи са d -осом dq -система. То касније омогућава независно управљање овим компонентама.
- Осцилатор управљан напонам (*VCO*) : Након што се процени угаона фреквенција мрежног напона потребно је интегралити ову величину да би се дошло до процене фазног става напона. Тако добијена вредност фазе шаље се назад у детектор фазе чиме се завршава једна итерација *PLL* алгоритма.



Слика 2: Основни елементи фазно затворене петље

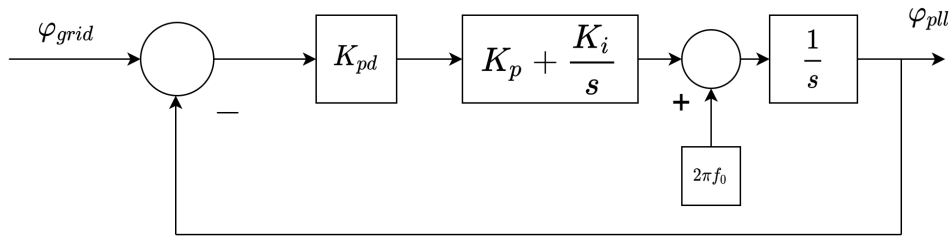
3.1 SRF-PLL

SRF-PLL је најједноставнији и један од најкоришћенијих PLL-ова. Детектор фазе се може представити као каскадна веза Кларкине $T_{abc/\alpha\beta}$ и Паркове трансформације $T_{\alpha\beta/dq}$ у којој се за угао синхроноротирајућег система θ узима процењена фаза мрежног напона која је излаз самог PLL-а.

$$T_{abc/\alpha\beta} = \begin{bmatrix} \alpha \\ \beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} a \\ b \\ c \end{bmatrix} \quad (1)$$

$$T_{\alpha\beta/dq} = \begin{bmatrix} d \\ q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} \alpha \\ \beta \end{bmatrix} \quad (2)$$

Овај нелинеарни модел фазног детектора се може представити и као производ негативне повратна спрега по фази φ_{PLL} и пропорционалног појачања K_{pd} у којој се огледа амплитуда улазног сигнала PLL-а. Излаз из детектора фазе (q -компонента напона) се доводи на улаз PI контролера пошто желимо да се угао координантног систем постави тако да је ова компонента једнака нули, односно да фазор напона буде постављен на d -осу. Излаз из PI контролера представља грешку кружне учестаности $\Delta\omega$ у односу на стварну кружну учестаност сигнала чија се фаза естимира. Ради брже конвергенције система ка стационарном стању вредност $\Delta\omega$ се додаје на номиналну вредност $2\pi f_0$ што је у овом случају $100\pi \frac{rad}{s}$. Последњи корак представља интеграцију кружне учестаности да би се добила фаза сигнала.



Слика 3: Линеаризовани модел SRF-PLL-а

Да би се пројектовао PLL систем који има задовољавајуће карактеристике по питању пропусног опсега, прескока, грешке стационарног стања, опсега хватања, држања итд. потребно је извести функцију преноса затворене спреге од улаза φ_{grid} који представља тренутну фазу мрежног напона до излаза φ_{PLL} , који заправо представља естимацију фазе мрежног напона. Полазимо од функције отвореног преноса SRF-PLL-а,

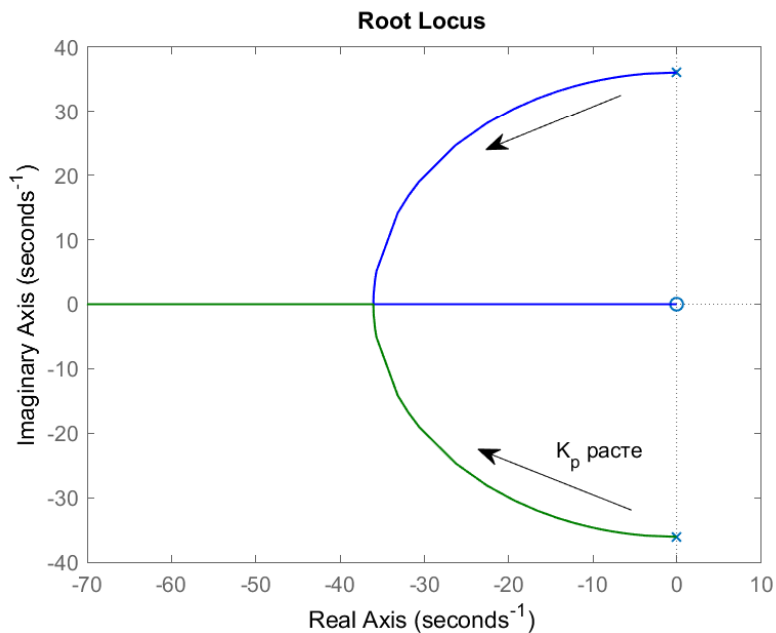
$$W_{open}(s) = \frac{\varphi_{PLL}}{\varphi_{grid}} = \frac{sK_p K_{pd} K_{vco} + K_i K_p d K_{vco}}{s^2} \quad (3)$$

на основу које добијемо и функцију преноса затворене спеге

$$W_{close}(s) = \frac{W_{open}(s)}{1 + W_{open}(s)} = \frac{sK_p K_{pd} K_{vco} + K_i K_p d K_{vco}}{s^2 + sK_p K_{pd} K_{vco} + K_i K_p d K_{vco}} \quad (4)$$

Како је анализирана апликација мрежни инвертор, очекивани пропусни опсег фазно затворене петље треба да буде у опсегу до 10Hz. Потребно је одабрати параметре PI контролера тако да се добије жељени пропусни опсег (као почетна претпоставка усвојено је да буде 6Hz) за чије потребе се користи метод техничког оптимума

[2]. Нека су усвојене претпоставке да је $K_{vco} = 1$ и $K_{pd} = 565$ - амплитуда мрежног напона. Сад фиксирамо вредност како би се имао жељени пропси опсег $K_i = 2.6$. Последњи параметар K_p одређујемо на основу ГМК (Геометријско Место Коренова) анализе са циљем да полови затворене спреге буду на одговарајућем месту [3].



Слика 4: Позиције половина система затворене спреге при промени параметра K_p

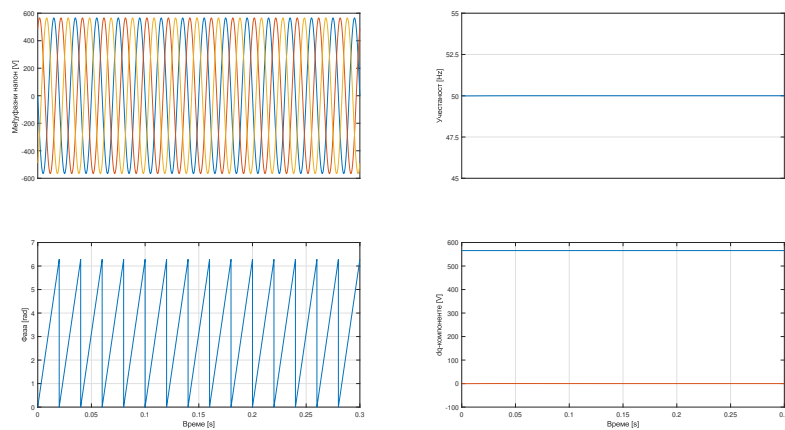
Пројектовани PI контролер има параметре:

$$K_p = 0.1, K_i = 2.6, K_{vco} = 1, K_{pd} = 565 \quad (5)$$

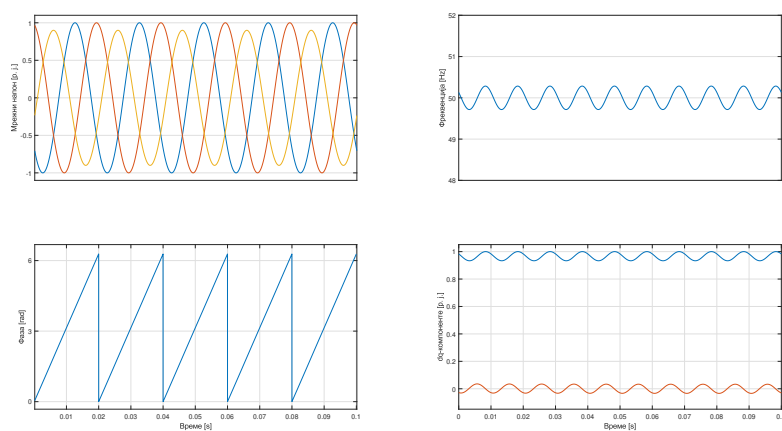
Претпоставимо да је улаз овог система затворене спреге сигнал $\varphi_{grid} = Ph(t)$ где је P узима константну вредност, $h(t)$ представља Хевисајдову функцију, док је фазу потребно естимирати. Лапласова трансформација улаза је $\varphi_{grid}(s) = \frac{P}{s}$. Вредност сигнала грешке $e(t)$ у бесконачности може се одредити применом друге граничне теореме:

$$e(\infty) = \lim_{s \rightarrow 0} s E(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + W_{open}(s)} \frac{P}{s} = \lim_{s \rightarrow 0} \frac{P}{W_{open}(s)} = 0 \quad (6)$$

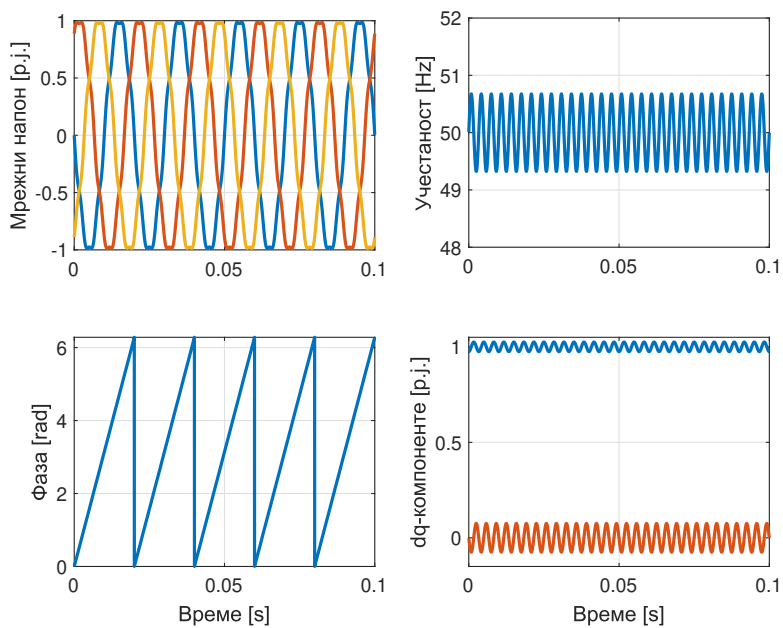
Овим је доказано да грешка стационарног стања при одређивању фазе неће постојати. На Слици 5. је приказан рад $SRF-PLL$ -а када се на његов улаз доведе уравнотежени трофазни систем. Видимо да PLL успева да одреди фреквенцију и фазу система без грешке. Међутим, ако систем није балансиран долази до појаве осцилација на учестаности другог хармоника у d -компонентама струје, што је последица постојања инверзне компоненте напона, што се преноси на излаз PLL -а, па процена фреквенције такође осцилује као што је приказано на Слици 6. Како се у мрежном напону налазе и виши хармоници, резултат симулације тог случаја за $SRF-PLL$ је приказан на Слици 7. У симулацији, поред основног хармоника у мрежном напону присутни су пети и седми хармоник, те у излазу $SRF-PLL$ -а постоје осцилације на учестаности од 300 Hz. PLL -ови који ће бити даље анализирани имају за циљ да реше или барем ублаже утицај ове две појаве како би се добила што боља процена фазе мрежног напона.



Слика 5: Понашање *PLL*-а при идеалном напону мреже



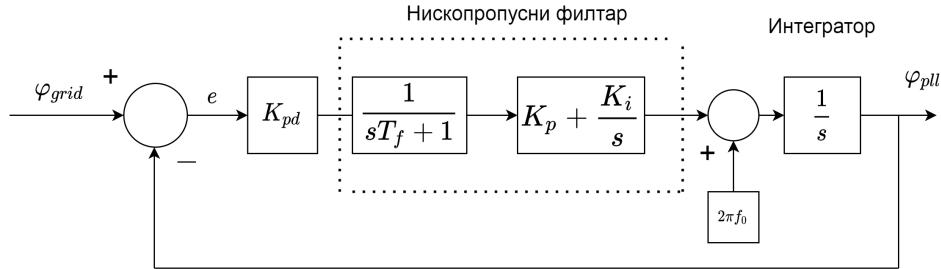
Слика 6: Понашање *PLL*-а при неуравнотеженом напону мреже



Слика 7: Понашање *SRF-PLL*-а у присуству виших хармоника

3.2 Lag-PLL

Први корак у отклањању негативног утицаја виших хармоника на ефикасност *PLL*-а представља филтрирање мрежног напона. Као што се може видети на Слици 10 у случају *Lag-PLL* испред *PI* контролера се додаје нископропусни филтар[4].



Слика 8: Шема *Lag-PLL*-а

Функција преноса отворене и затворене спреге овог *PLL*-а су:

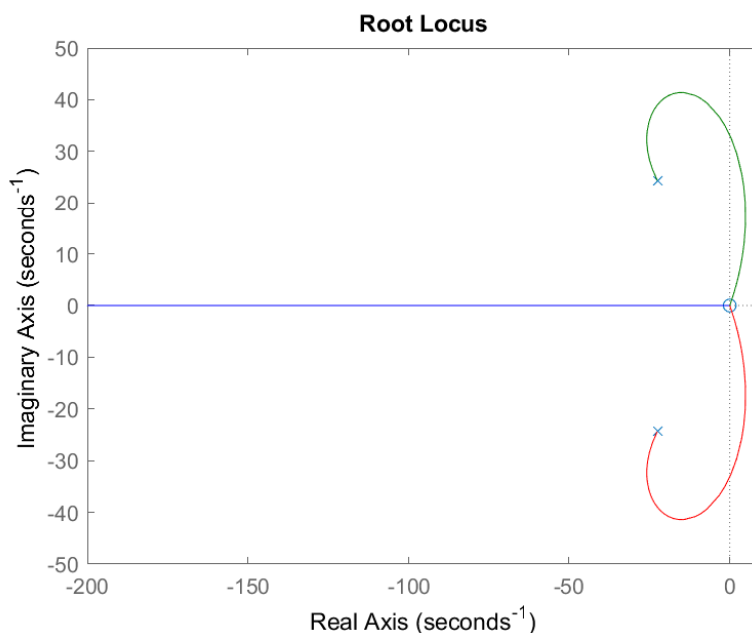
$$W_{open}(s) = \frac{K_p K_{pd} s + K_i K_{pd}}{s^2 (T_f s + 1)} \quad (7)$$

$$W_{close}(s) = \frac{K_p K_{pd} s + K_i K_{pd}}{T_f s^3 + s^2 + K_p K_{pd} s + K_i K_{pd}} \quad (8)$$

Као што је показано код *SRF-PLL*-а, и за *Lag-PLL* се може доказати да је грешка стационарног стања једнака нули. Ово је показано испитивањем сигнала грешке као:

$$e(\infty) = \lim_{s \rightarrow 0} s E(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + W_{open}(s)} \frac{P}{s} = \lim_{s \rightarrow 0} \frac{P}{W_{open}(s)} = 0 \quad (9)$$

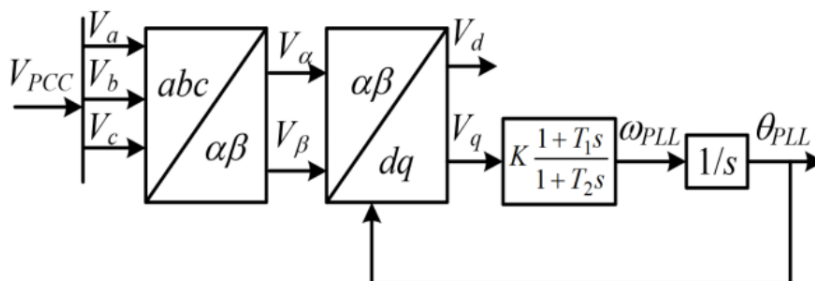
Додавање филтер пропусника ниских учестаности потребно је изабрати временску константу филтра T_f тако да он она не угрози стабилност затворене спреге. На основу ГМК анализе приказане на Слици 9. утврђено је да је гранична вредност после које систем затворене спреге, са претходно дефинисаним вредностима параметара, K_p , K_i и K_{pd} , постаје нестабилан и полови затворене спреге прелазе у десну полураван износи $T_f = 0.035 \text{ s} \approx \frac{1}{28.5} \text{ s}$. Ово ограничење је превише строго јер би коришћење филтра чија је вредност блиска граничној имала непотребно велико слабљење на учестаности фундаментала. Да би претходно задати услови перформанси остали задовољени, пропусни опсег 6 Hz и $\xi = 0.707$, изабрана је вредност $T_f = 1/600 \text{ s}$. Такође, при одабиру временске константе нископропусног филтра потребно је обратити пажњу да систем остане стабилан



Слика 9: Позиције полова система затворене спреге при промени параметра T_f

3.3 LPF-PLL

Још један од начина којим се може филтрирати улазни сигнал, а да се при томе не повећава ред контролера, је да се уместо стандардног PI контролера користи *lead-lag* блок (систем чија се функција преноса састоји од једне нуле и једног пола) и његова принципска шема приказана је на Слици 10. [5]. Такође, ово обезбеђује брже и једноставније израчунавање него у претходном случају јер нема потребе за предфилтрирањем.



Слика 10: Шема LPF-PLL-а

$$W_{open}(s) = \frac{K_{pd} K_v (T_1 s + 1)}{T_2 s (s + 1)} \quad (10)$$

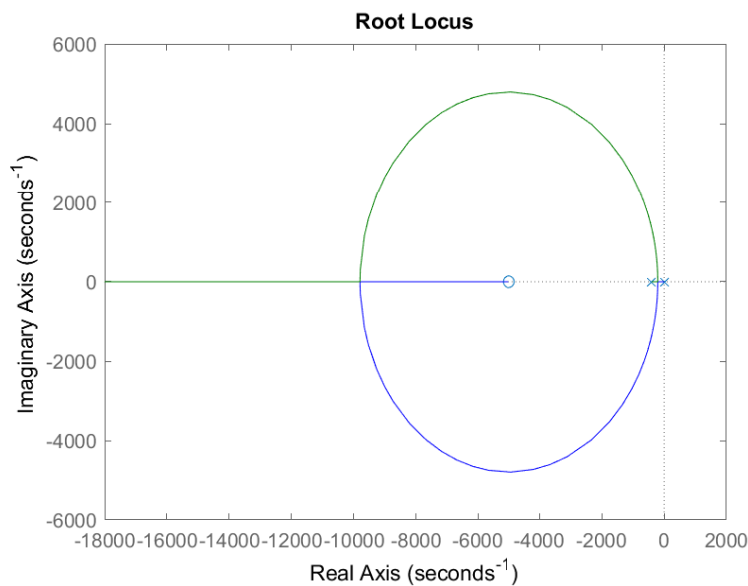
$$W_{close}(s) = \frac{K_{pd} K_v (T_1 s + 1)}{T_2 s^2 + s + K_{pd} K_v (T_1 s + 1) + 1} \quad (11)$$

Претпоставимо да је улаз система $\varphi_{grid} = Ph(t)$ дефинисан као и раније. Показује се да је и овај систем у

могућности да уклони грешку стационарног стања:

$$e(\infty) = \lim_{s \rightarrow 0} s E(s) = \lim_{s \rightarrow 0} s \frac{1}{1 + W_{open}(s)} \frac{P}{s} = \frac{P}{\lim_{s \rightarrow 0} W_{open}(s)} = 0 \quad (12)$$

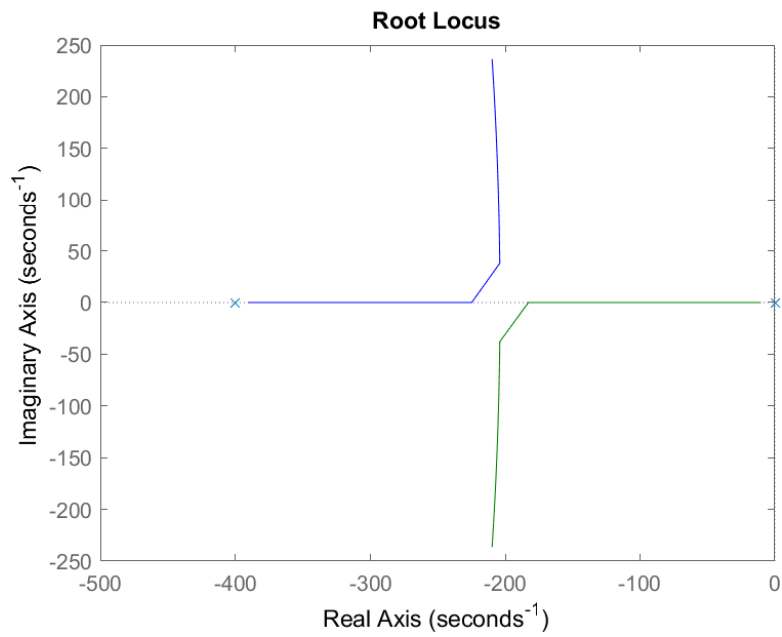
Позиција нуле и пола *lag* контролера одређује опсег учестаности на којима ће слабљење затворене спреге да буде најизраженије. Позиција пола може да се постави што даље, али то нема претераног значаја у пракси јер би у том случају за дискретизацију био потребан сувише мали период одабирања, те је узета вредност 5000 rad/s (795 Hz). Овим је пол постављен изнад учестаности петнаестог хармоника чије амплитуде нису велике па их није потребно значајније сузбијати. Учестаност нуле одређује пропусни опсег затворене спреге и одабрано је да она буде 400 rad/s (64 Hz) што је већа вредност од учестаности фундаментална. Одређивање параметра K_v може се извршити на основу позиције полова затворене спреге.



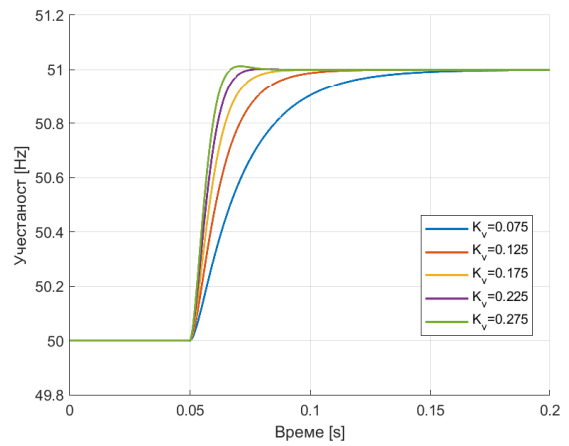
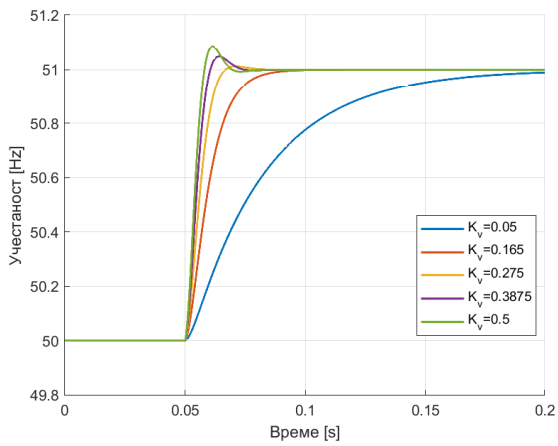
Слика 11: Положај полова затворене спреге у зависности од K_v

Примећујемо да овај тип фазно затворене петље, за разлику од претодних, може имати много већи пропусни опсег. Позиције полова затворене спреге су приказани на Слици 11. Значајно повећање пропусног опсега довело би до појаве прескока и веће осцилаторности његовог одзива, те се треба сконцентрисати само на вредности између $K_v = 0.01$ и $K_v = 0.5$ пошто се као што је приказано на Слици 12. У том опсегу појачања полови затворене спреге или налазе на реалној оси или су имагинарни а њихов имагинарни део је мањи од реалног - $\xi > 0.707$.

Имајући у виду тежњу ка што већем пропусном опсегу, непостојању прескока при достизању референтне вредности и што сличнијем почетном подбачају према осталим *PLL*-овима при естимацији, посматрањем резултата приказаних на Слици 13. одабрано је $K_v = 0.125$.



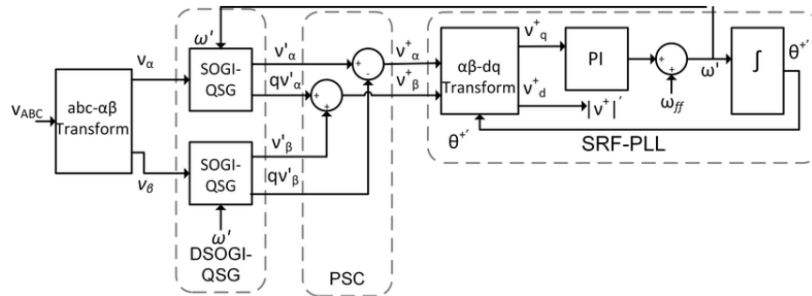
Слика 12: Положај полова затворене спреге за вредности $K_v \in (0,0.5)$



Слика 13: Одзиви при промени фреквенције у тренутку $t = 1$ у зависности од K_v

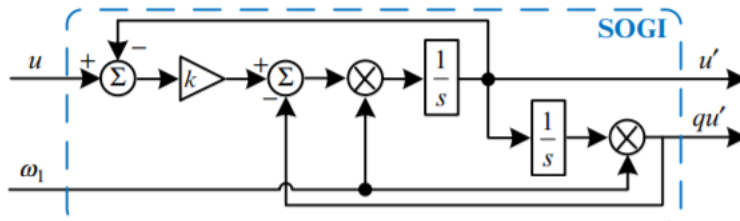
3.4 DSOGI-PLL

Претходно изложена решења проблема неидеалних услова на трофазној мрежи, иако једноставна, нису увек ефикасна те се решење мора тражити у компликованијој структури. Основни принцип рада *DSOGI* реализације *PLL* представља избацивање хармоника из u_α и u_β те се остатку *PLL*-а шаље сигнал као што би то био случај да је на улазу идеалан трофазни систем. Овај *PLL* може се представити као спој *DSOGI* јединице и стандардног *SRF-PLL*-а. Шема *DSOGI-PLL*-а приказана је на Слици 14.



Слика 14: Шема *DSOGI-PLL*-а

Пре објашњења *DSOGI* јединице потребно је објаснити *SOGI* (*Second Order Generalized Integrator*) чија је шема приказана на Слици 15.



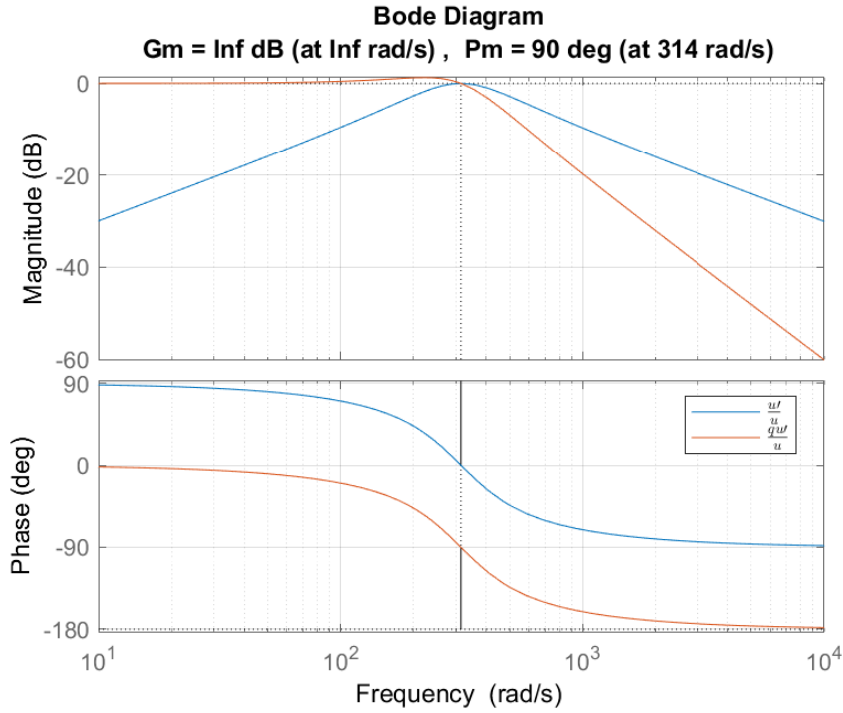
Слика 15: Шема *SOGI* филтра

Овај систем садржи два улаза u и ω_1 , односно угаону фреквенцију мреже. Постоје два излаза филтрираних сигнала u' и qu' , који су међусобно у квадратури. Функције преноса од мрежног напона до излаза су:

$$G_{11}(s) = \frac{u'}{u} = \frac{k\omega_1 s}{s^2 + k\omega_1 s + \omega_1^2} \quad (13)$$

$$G_{21}(s) = \frac{qu'}{u} = \frac{k\omega_1^2}{s^2 + k\omega_1 s + \omega_1^2} \quad (14)$$

где је ω_1 основна учестаност а параметар k одређује са колики ће бити нагиб амплитудске карактеристике.



Слика 16: Амплитудске и фазне карактеристике од напонског улаза до излаза за $k = 1$

Слика 16. приказује њихове амплитудске и фазне карактеристике где се јасно види да на учестаности фундамента нема слабљења ни у једном ни у другом случају. Уочава се и непостојање фазног кашњења од улаза u до излаза u' док је оно код qu' -90° , односно u' предњачи за 90° у односу на qu' . Додатно, може се приметити да су слабљења виших хармоника велика. *SOGI* може да се представи као адаптивни филтар чији пропусни опсег зависи од учестаности фундамента. Да би се разумела структура *DSOGI* јединице и како она доприноси квалитету естимације ове фазно спрегнуте петње потрбно је увести симетричне компоненте трофазног напона у временском домену који је као метод за описивање неуравнотежених система увео Валдо Лион (енг. *Waldo Lyon*) [6] по којој се сваки трофазни напон v_{abc} може представити као збир директне v_{abc}^+ , инверзне v_{abc}^- и нулте v_{abc}^0 компоненте напона које су дефинисане на следећи начин:

$$v_{abc} = v_{abc}^+ + v_{abc}^- + v_{abc}^0 \quad (15)$$

$$v_{abc}^+ = [T_+] v_{abc} = \frac{1}{3} \begin{bmatrix} 1 & a & a^2 \\ a^2 & 1 & a \\ a & a^2 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (16)$$

$$v_{abc}^- = [T_-] v_{abc} = \frac{1}{3} \begin{bmatrix} 1 & a^2 & a \\ a & 1 & a^2 \\ a^2 & a & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (17)$$

$$v_{abc}^0 = [T_0] v_{abc} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (18)$$

где је a Фортескеов оператор дефинисан као $a = e^{j2\pi/3}$ што је једнако фазном померању од 120° . Значајно је и приметити да се директна и инверзна компонента могу представити као напони уравнотеженог система, у којима сва три напона имају исте амплитуде и међусобно су фазно померени за по 120° . Преласком из abc у $\alpha\beta$ координатни систем остају сачуване само информације о директној и инверзној компоненти док се нулта компонента губи пошто важи:

$$v_{\alpha\beta}^0 = T_{abc/\alpha\beta} v_{abc}^0 = \frac{2}{9} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (19)$$

Где је $[T_{abc/\alpha\beta}]$ трансформација дефинисана изразом (1), $v_{\alpha\beta}^0$ нулта компонента сигнала $v_{\alpha\beta}$, па се израз за $v_{\alpha\beta}$ своди на:

$$v_{\alpha\beta} = [T_{abc/\alpha\beta}] v_{abc} = [T_{abc/\alpha\beta}] v_{abc}^+ + [T_{abc/\alpha\beta}] v_{abc}^- \quad (20)$$

односно

$$v_{\alpha\beta}^+ = [T_{abc/\alpha\beta}] [T_+] v_{abc} \quad (21)$$

$$v_{\alpha\beta}^- = [T_{abc/\alpha\beta}] [T_-] v_{abc} \quad (22)$$

Применом инверзне Кларкине трансформације на изразе (21) и (22)

$$v_{\alpha\beta}^+ = [T_{abc/\alpha\beta}] [T_+] [T_{abc/\alpha\beta}]^{-1} v_{\alpha\beta} = [T_{abc/\alpha\beta}^+] v_{\alpha\beta} \quad (23)$$

$$v_{\alpha\beta}^- = [T_{abc/\alpha\beta}] [T_-] [T_{abc/\alpha\beta}]^{-1} v_{\alpha\beta} = [T_{abc/\alpha\beta}^-] v_{\alpha\beta} \quad (24)$$

Након израчунавања матрица $[T_{abc/\alpha\beta}^+]$ и $[T_{abc/\alpha\beta}^-]$ добијамо изразе:

$$v_{\alpha\beta}^+ = \frac{1}{2} \begin{bmatrix} 1 & -q \\ q & 1 \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (25)$$

$$v_{\alpha\beta}^- = \frac{1}{2} \begin{bmatrix} 1 & q \\ -q & 1 \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (26)$$

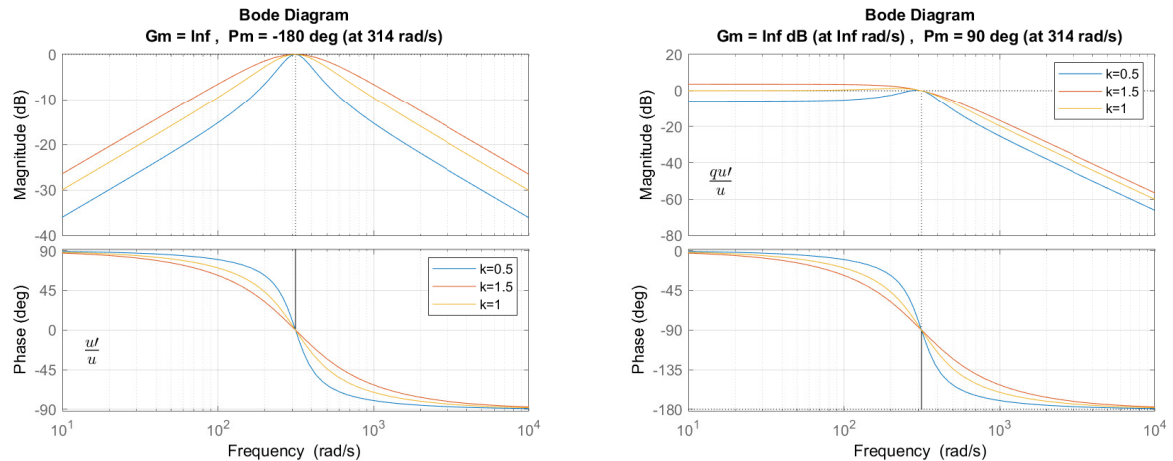
где је $q = e^{-j\pi/2}$, што представља фазно кашњење за 90° , на овај начин смо успели да из неуравнотеженог напонског сигнала издвојимо његову директну и инверзну компоненту. Ако погледамо Сliku 14. видећемо да важе изрази у наставку

$$\begin{aligned} u_\alpha^+ &= u'_\alpha - qu'_\beta \\ u_\beta^+ &= qu'_\alpha + u'_\beta \end{aligned} \quad (27)$$

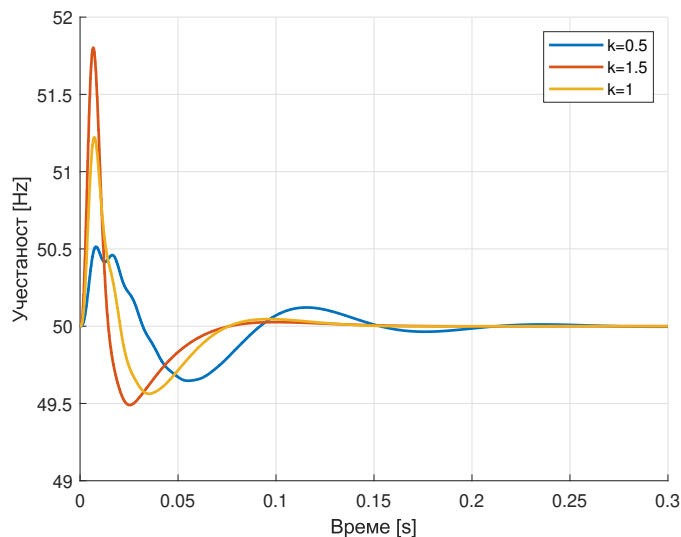
што значи да *DSOGI* прво филтрира мрежни напон, а тек након тога врши издвајање директне компоненте филтрираног мрежног напона и таквог га прослеђује остатку *PLL*-а. У таквој ситуацији део система који треба да естимира фазу напона види уравнотежен и филтриран сигнал на свом улазу што ће се показати као главна предност овог у односу на остале пројектоване системе.

Остало је још одредити параметар k који говори о томе колико ће бити филтриран мрежни напон. Са Сlike 17. види се да ће са смањењем параметра k амплитудске карактеристике функција $G_{11}(s)$ и $G_{21}(s)$ бити стрмије, односно имаће веће слабење на вишим учестаностима. Међутим, на Сlici 18. види се да повећање k смањује

брзину одзива PLL -а, време смирења расте, па је за оптималну вредност параметра изабрано $k = 1$.

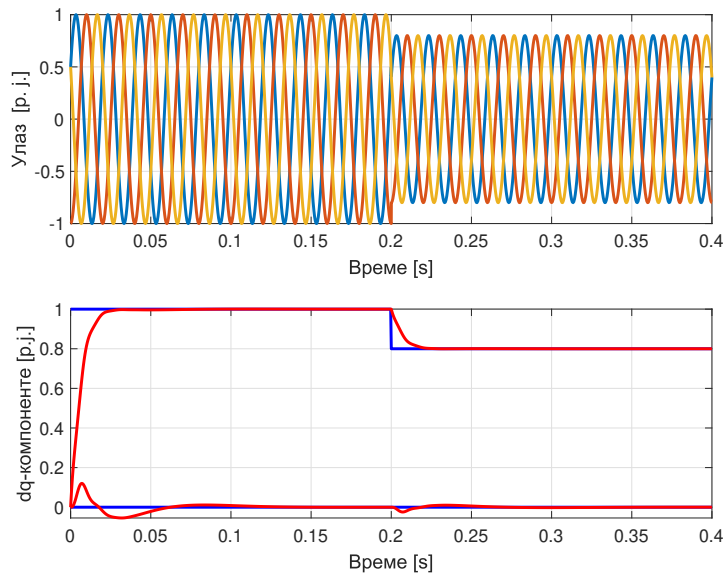


Слика 17: Амплитудске и фазне карактеристике од напонског улаза до излаза у функцији параметра k

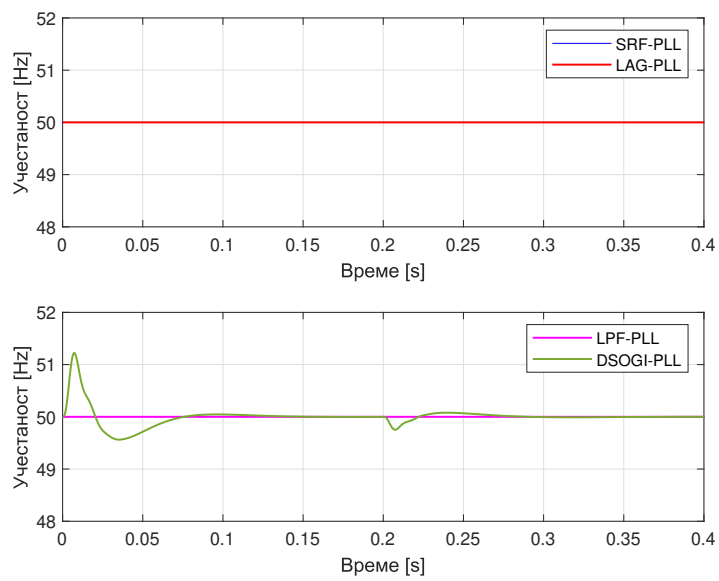


Слика 18: Временски приказ естимиране фреквенције $DSOGI-PLL$ -а у зависности од параметра k

Поред предности које $DSOGI$ јединица пружа овој фазно спрегнутој петљи, једино код ње, од свих обрађених решења, јавља се поремећај у естимацији фазе услед наглог истовременог опадања напона у све три фазе што је приказано на Слици 20. То је последица немогућности скоковите промене у dq -компонентама које се доводе на улаз PI регулатора. На Слици 19. црвеном бојом су приказане одговарајуће компоненте $DSOGI-PLL$ -а а плавом компоненте свих осталих претходно пројектованих система.



Слика 19: Приказ улаза и dq -компоненти при нагом паду напона на све три фазе



Слика 20: Приказ естимиране фреквенције при условима датим на Слици 19

4 Поређење пројектованих *PLL* система

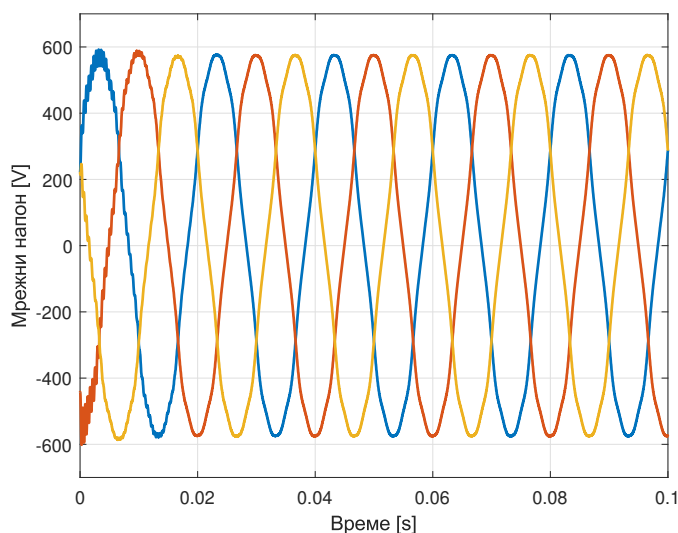
Ради поређења пројектованих *PLL* система направљена је симулација у програмском пакету *MATLAB Simulink* коју чини трофазни инвертор повезан преко *LCL* филтра на мрежу. Симулиран је инвертор номинлане снаге 10 kW. За потребе регулацију струје користи се инверторска струја. Будући да је систем трофазан, користи се и просторна векторска модулација импулса ради смањења потребног напона једносмерног међукола. Сви релевантни параметри коришћених у симулацији дати су у табели у наставку. Корак извршавања симулације је 100 ns.

Параметар	Вредност
Фреквенција одабирања f_s	20 kHz
Фреквенција прекидања f_{PWM}	10 kHz
Индуктивност L_1	3 mH
Индуктивност L_2	1.5 mH
Индуктивност мреже L_{grid}	0.5 mH
Отпорност мреже R_{grid}	0.7 Ω
Филтерски кондензатор <i>LCL</i> -а C_f	10.0 μ F
Резонантна фреквенција <i>LCL</i> -а f_r	1.591 kHz
Напон мреже	230 V
Фреквенција мреже	50 Hz
Улазни напон инвертора	750 V

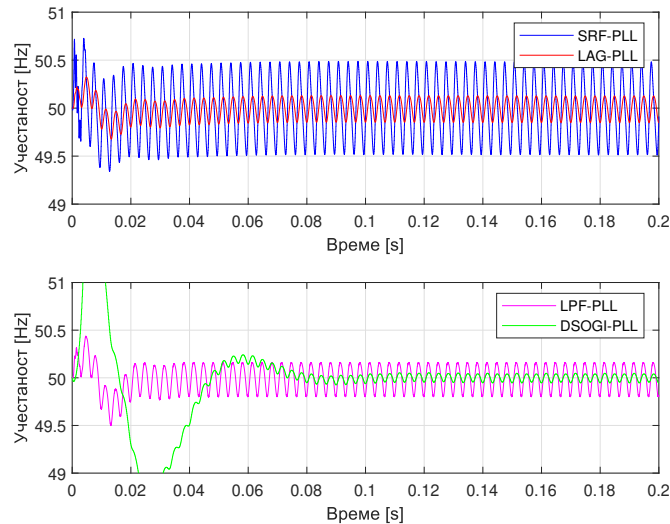
Табела 1: Параметри коришћени за симулацију

4.1 Поређење *PLL* система у присуству виших хармоника

Услед нелинеарности потрошача у мрежном напону ће се појавити виши хармоници. Максимална заступљеност истих је одређена стандардима (*EN 50160*, *GB/T 15543*, *IEC 61000*). У експерименту, мрежном напону су додати пети, седми и једанаести хармоник амплитуда 3, 2 и 1% фундаментала, респективно облик мрежног напона је приказан на Слици 21. Услед придодатих хармоника долази до појаве додатних осцилација у естимацији фреквенције. На основу естимација фреквенције у присуству мрежних хармоника које су приказане на Слици 22. можемо закључити да *SRF-PLL* има лоше перформансе у поређењу са другим системима пошто је његова девијација грешке највећа. *LPF-PLL* и *Lag-PLL* имају сличан успех при сузбијању утицаја виших хармоника док *DSOGI-PLL* захваљујући филтрирању u_α и u_β очекивано најбоље отклања њихов утицај. Време потребно да естимација фреквенција дође у стационарно стање као и амплитуде осцилација у стационарном стању дате су у Табели 2. Поред ових параметара битно је и истаћи да од квалитета естимације фреквенције односно фазе зависи и присуство хармоника у струји која се ињектује ЕЕС-у, при чему је наравно увек циљ максимално смањити ињектурање виших хармоника који настају услед рада полупроводничких прекидача.



Слика 21: Таласни облик мрежних напона са присутним мрежним хармоницима



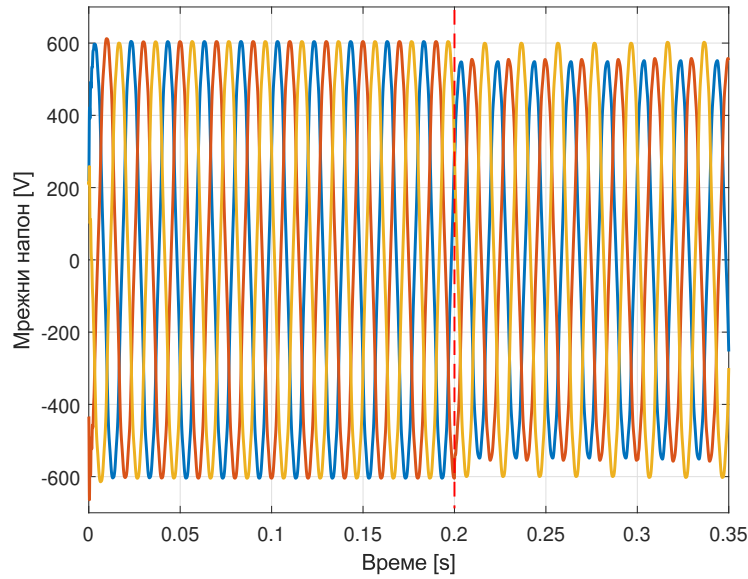
Слика 22: Приказ естимираних фреквенција у времену

Систем	Време смирења [s]	Максимална девијација фреквенције [Hz]	THD межне струје [%]
<i>SRF-PLL</i>	0.06	0.4857	5.06
<i>Lag-PLL</i>	0.06	0.1392	4.99
<i>LPF-PLL</i>	0.05	0.1283	4.99
<i>DSOGI-PLL</i>	0.08	0.0509	4.93

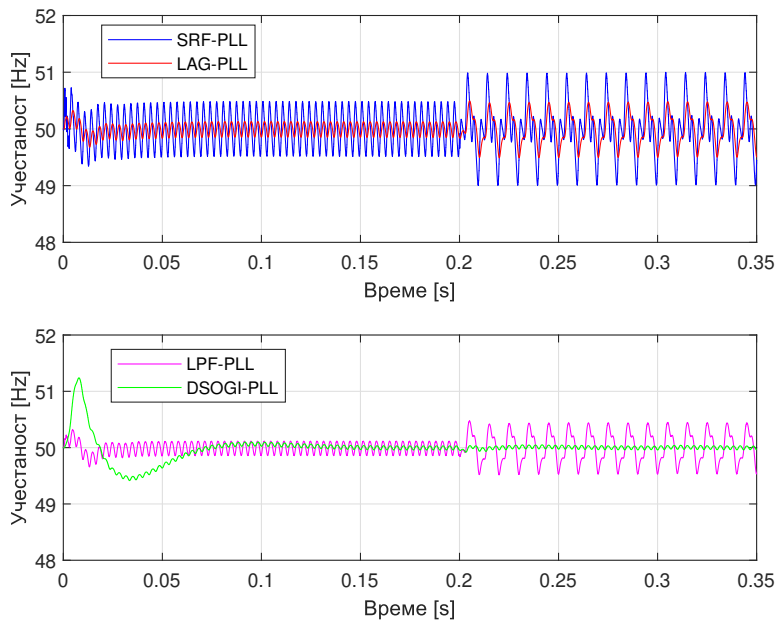
Табела 2: Поређење квалитета естимације фазе

4.2 Поређење *PLL* система при неуравнотеженом напону мреже

До неуравнотеженог напона мреже долази када једна од фаза има различито оптерећење у односу на друге. Такође, ова ситуација може значити и постојање квара на једној или више фаза. Раније представљени модели су поређени у наставку према наведеним поремећајима. Приликом симулације систем је уравнотежен до тренутка $t = 0.2$ да би након тога услед квара на другој фази њен напон скалиран фактором 0.8. Таласни одблици мрежног напона приказани на Слици 23. Хармоници су остали исти као и у претходном поглављу. На Слици 24. можемо видети да код *SRF-PLL*, *LPF-PLL* и *Lag-PLL* кад систем није уравотежен естимације фреквенције више нису само простопериодичне већ се у њима јавља додатна компонента која је изазвана осцилацијама у dq -компонентама услед дебаланса мреже, једино у одзиву *DSOGI-PLL* не долази до ове појаве пошто је нулта секвенца вектора већ избачена из његовог u_α и u_β .



Слика 23: Таласни приказ мрежног напона у случају нагле промене оптерећења једне фазе

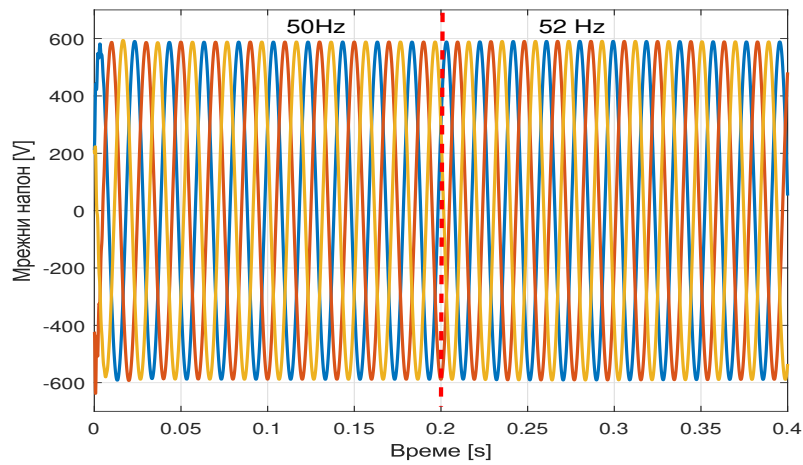


Слика 24: Временски приказ естимиране фреквенције при условима датим на Слици 23

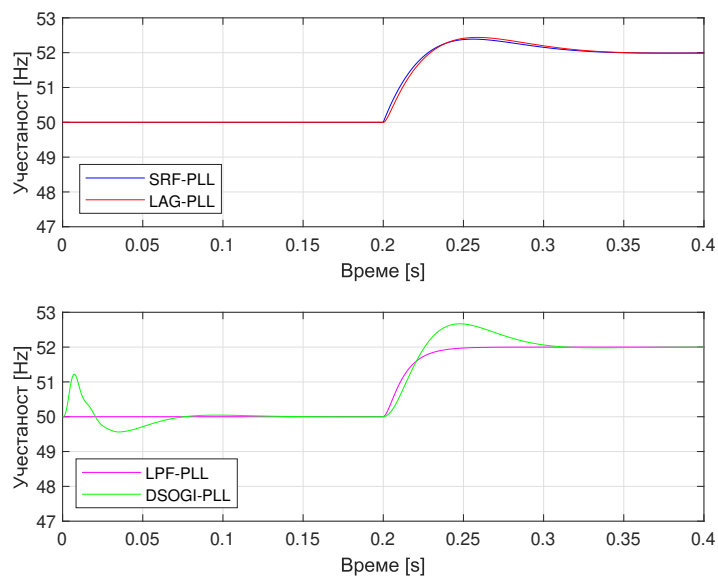
4.3 Утицај наглих промена мрежне фреквенције

У случајевима кад долази у оквиру ЕЕС долази до прикључења или искључења великих произвођача или потрошача електричне енергије, тада може доћи до промене мрежног напона или учестаности. Овакве ситуације су веома опасне јер угрожавају стабилност мреже. Зато је од значаја да се ове промене што брже примете и проследи остатку система како би се на њих реаговало. У овој симулацији у тренутку $t = 0.2$ се фреквенција мреже нагло промени са 50 Hz на 52 Hz као што је приказано на Слици 25. У овом експерименту је занемарен утицај мрежних хармоника пошто они немају утицај брзину достизања стационарне вредности већ као што

је претходно показано доводе до појаве осцилација у естимацији фреквенције. На Слици 26. можемо видети да *SRF-PLL* и *Lag-PLL* имају скоро идентичне одзиве што се могло и очекивати јер се њихове карактеристике разликују само на високим учестаностима. *DSOGI-PLL* има израженији прескок док *LPF-PLL* има најбржи одзив и једини нема прескок при естимацији фреквенције.



Слика 25: Таласни облици мрежног напона при нагом прикључењу произвођача



Слика 26: Приказ естимиране при наглој промени фреквенције мреже

5 Закључак

У овом раду су пројектовани и упоређивани системи за синхронизацију код трофазних мрежних инвертора. Вршена су поређења ових система при присуству виших хармоника, при неуавнотеженом напону мреже и при наглој промени фреквенције мреже. На основу резултата симулација долазимо до закључка да *DSOGI-PLL* има најбоље перформансе у погледу естимације фреквенције које су последица његове структуре која омогућава не само филтрирање виших хармоника већ и неутралисање инверзне компоненте напона што омогућава одржавање квалитета естимације чак и при небалансираним условима мреже. *LPF-PLL* одликује најбржи одзив, одсуство прескока при наглој промени фреквенције и боље сузбијање хармоника него што је то случај код *Lag-PLL*-а. *SRF-PLL* има најлошије карактеристике што је било и за очекивати јер су остали настали његовом надоградњом. У зависности од захтева апликације и коришћеног процесора, може се изабрати метода која даје прихватљиве резултате, са добрим пропусним опсегом и прихватљивом отпорношћу на поремећаје. Даљи правац истраживања може се тражити у другим методама за филтрирање и естимацију фреквенције и фазе које би имале још боље резултате.

Библиографија

- [1] M. Liserre, F. Blaabjerg, and S. Hansen, "Design and control of an LCL-filter-based three-phase active rectifier," *IEEE Transactions on Industry Applications*, vol. 41, no. 5, pp. 1281--1291, 2005.
- [2] Â. Rezek, C. Coelho, J. Vicente, J. A. Cortez, and P. R. Laurentino, "The modulus optimum (mo) method applied to voltage regulation systems : Modeling , tuning and implementation,"
- [3] W. R. Evans, "Graphical analysis of control systems," *Transactions of the American Institute of Electrical Engineers*, vol. 67, no. 1, pp. 547--551, 1948.
- [4] A. Cataliotti, V. Cosentino, and S. Nuccio, "A phase-locked loop for the synchronization of power quality instruments in the presence of stationary and transient disturbances," *IEEE Transactions on Instrumentation and Measurement*, vol. 56, no. 6, pp. 2232--2239, 2007.
- [5] G.-C. Hsieh and J. Hung, "Phase-locked loop techniques. a survey," *IEEE Transactions on Industrial Electronics*, vol. 43, no. 6, pp. 609--615, 1996.
- [6] W. Lyon, *Applications of the Method of Symmetrical Components*. Electric engineering texts, McGraw-Hill book Company, Incorporated, 1937.